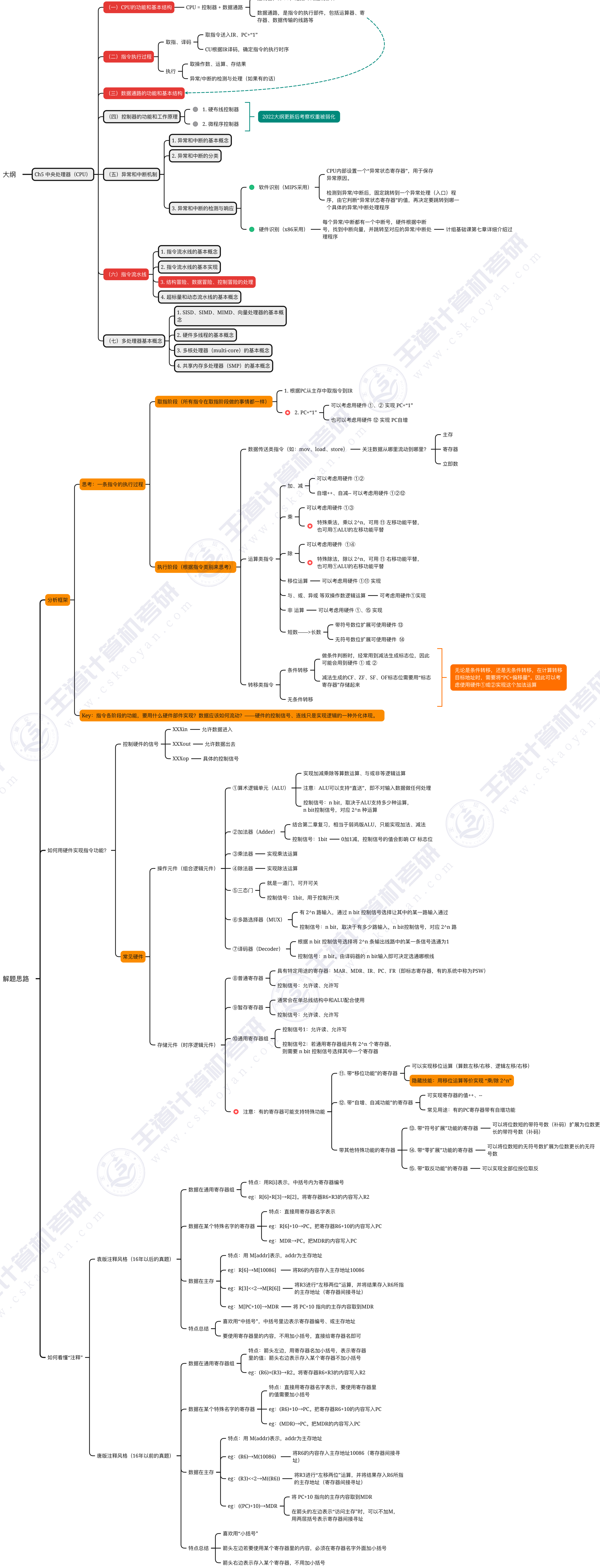


一条指令的硬件实现



取指阶段：把PC所指的指令取出来
取到IR

PC $\rightarrow$ MAR

M(MAR) $\rightarrow$ MDR $\rightarrow$ IR



PC + "1" $\rightarrow$ 实现方式 (硬件)

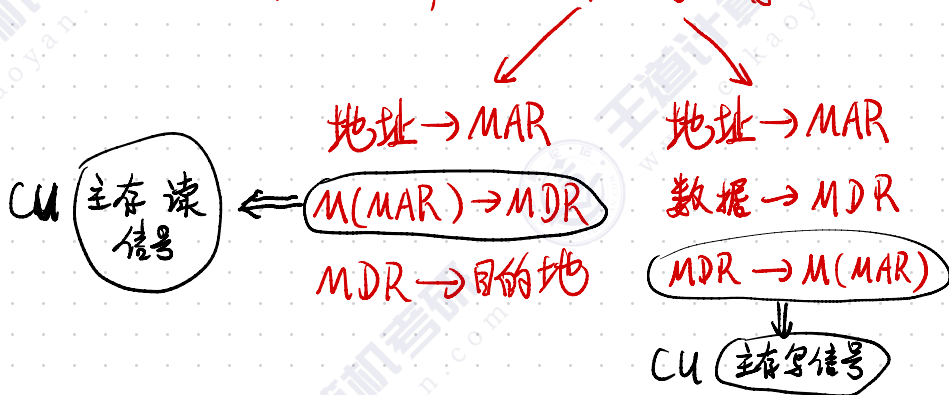
- $\nearrow$ 此 "1" 为下一条指令 (注意指令字长)
- $\rightarrow$ ALU (加法)
- $\rightarrow$ 加法器
- $\rightarrow$ 有“自增功能”的寄存器 (PC寄存器)

执行阶段：数据传送类

- ① 寄 → 寄
- ② 寄 → 主存
- ③ 主存 → 寄
- ④ 主 → 寄
- ⑤ 主 → 主

⑥ 寄 → 暂存寄存器
↑
某条指令的子步骤

注意1：如果有主存，关注读/写主存



注意2：关注总线占用（总线是临界资源）
（安排控制信号）

执行阶段：转移类指令 $\rightarrow$ 改变PC值 (重点题, 13年43题, 4.2.3大8)
(可能)

条件转移 $\rightarrow$ Cmp 前置 (本质是减法 $A-B$, 生成 CF, ZF, OF, SF)

回顾如何生成?

原理：根据 标志位 判断是否转移 (指令中会给 地址码)

如果要转移：①. 注意指令寻址方式

- 相对寻址 $\rightarrow PC + \text{偏移}$
以字为单位
以字节为单位
- 直接寻址 (少见)

RISC (指令长度相同)

② 注意PC的值

- 以字节为单位
- 以指令字为单位

CISC

王道考研——计算机组成原理

WWW.CSKAOYAN.COM

强化P5：一条指令的执行（考察硬件实现）



2009	2010	2011	2012	2013	2014	2015	2016
中断控制方式的处理过程；DMA控制方式的处理过程。	指令格式；寻址范围；指令执行的微操作过程	C语言中常见变量的表示；强制类型转换；补码加法的应用；溢出判断。	CPU性能指标的计算；引入Cache后的访存原理；虚拟内存的工作原理；DMA控制方式的工作原理；低位交叉存储的流水线	CPU性能指标、总线性能指标的计算；低位交叉存储方式；总线的突发传送过程；引入Cache后的访存原理；	结合C语言，读懂各条指令的作用；条件转移指令的工作原理；五段式指令流水线	指令执行的数据通路；数据通路上各种常见的硬件部件及作用；控制信号连线；	中断控制方式的处理过程；
指令执行的详细过程；说明每一步的微操作、微命令。并安排合理的时序	Cache和主存的映射；C语言汇总二维数组的存储原理；Cache命中率的计算	虚拟存储系统的地址结构；Cache的工作原理；TLB的工作原理；	数据的移位运算；五段式指令流水线；流水线的“冲突”原因；	条件转移指令的工作原理；CPU内部常见的硬件部件（根据处理逻辑推测）	Cache的工作原理；指令的溢出判断；虚拟存储，缺页异常的产生原因；TLB的工作原理；	指令格式；各步微操作对应的微命令；微操作的时序安排；	TLB的工作原理；Cache的工作原理；虚拟存储，缺页异常；Cache淘汰策略、页面淘汰处理；
2017	2018	2019	2020	2021	2022	2023	2024
C语言强制类型转换；各种数的精度问题、溢出问题	程序定时查询方式的工作过程；中断查询方式的工作过程；DMA方式的工作过程；	C语言对应的指令序列；条件转移指令、无条件转移指令、函数调用call指令的原理；数据的精度 溢出问题	数据的运算：二进制乘法；溢出问题	指令格式；数据的运算、溢出问题；	一条指令的执行过程；指令执行的电路数据通路原理	Cache、虚拟页式存储	一条指令的执行过程；指令执行的电路数据通路原理
C语言对应的指令序列；比较指令cmp、条件转移指令的工作原理；数据的的运算，算数左移	虚拟存储，地址结构；TLB的工作原理；Cache的工作原理；有TLB、Cache的地址变换过程	虚拟分页存储；Cache的工作原理；	Cache的工作原理；结合C语言分析Cache命中情况；	虚拟存储，地址结构；TLB的工作原理；	磁盘+IO控制方式	结合C语言，分析指令序列的工作原理	结合C语言，分析指令序列的工作原理

• 图示说明:

数据的运算；强制类型转换；精度、溢出问题	3+n
Cache、TLB、虚拟分页	9
一条指令的执行过程	7
指令序列的工作过程	6
三种IO控制方式	4
杂七杂八	3

2024年真题

43. (本题13分) 假定计算机M字长为32位, 按字节编址, 采用32位定长指令字, 指令add、slli和lw的格式、编码和功能说明如图(a)所示。

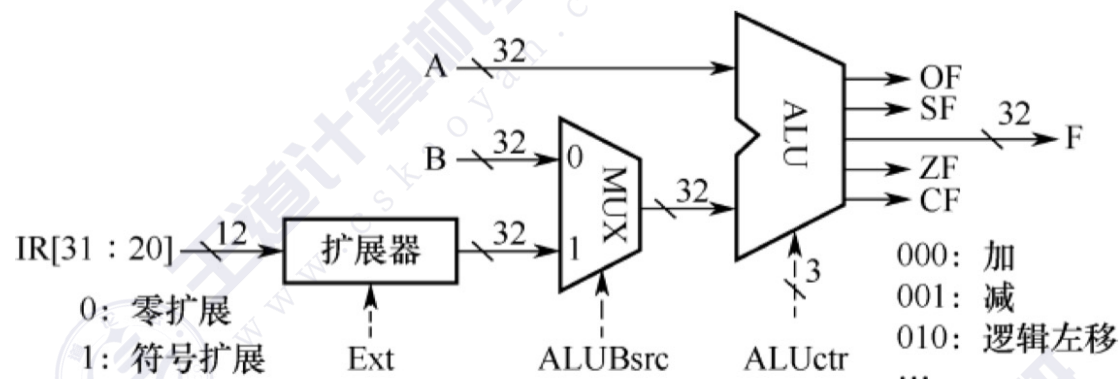
指令	31	25	24	20	19	15	14	12	11	7	6	0	指令功能说明
add	0000000		rs2		rs1		000		rd		0110011		$R[rd] \leftarrow R[rs1] + R[rs2]$
slli	0000000		shamt		rs1		010		rd		0010011		$R[rd] \leftarrow R[rs1] \ll shamt$
lw	imm				rs1		010		rd		0000011		$R[rd] \leftarrow M[R[rs1] + imm]$

图(a)

其中, $R[x]$ 表示通用寄存器x的内容, $M[x]$ 表示地址为x的存储单元内容, shamt为移位位数, imm为补码表示的偏移量。图(b)给出了计算机M的部分数据通路及其控制信号(用带箭头虚线表示), 其中, A和B分别表示从通用寄存器rs1和rs2中读出的内容; $IR[31:20]$ 表示指令寄存器中的高12位; 控制信号Ext为0、1时扩展器分别实现零扩展、符号扩展, ALUctr为000、

2024年真题

001、010时ALU分别实现加、减、逻辑左移运算。请回答下列问题。

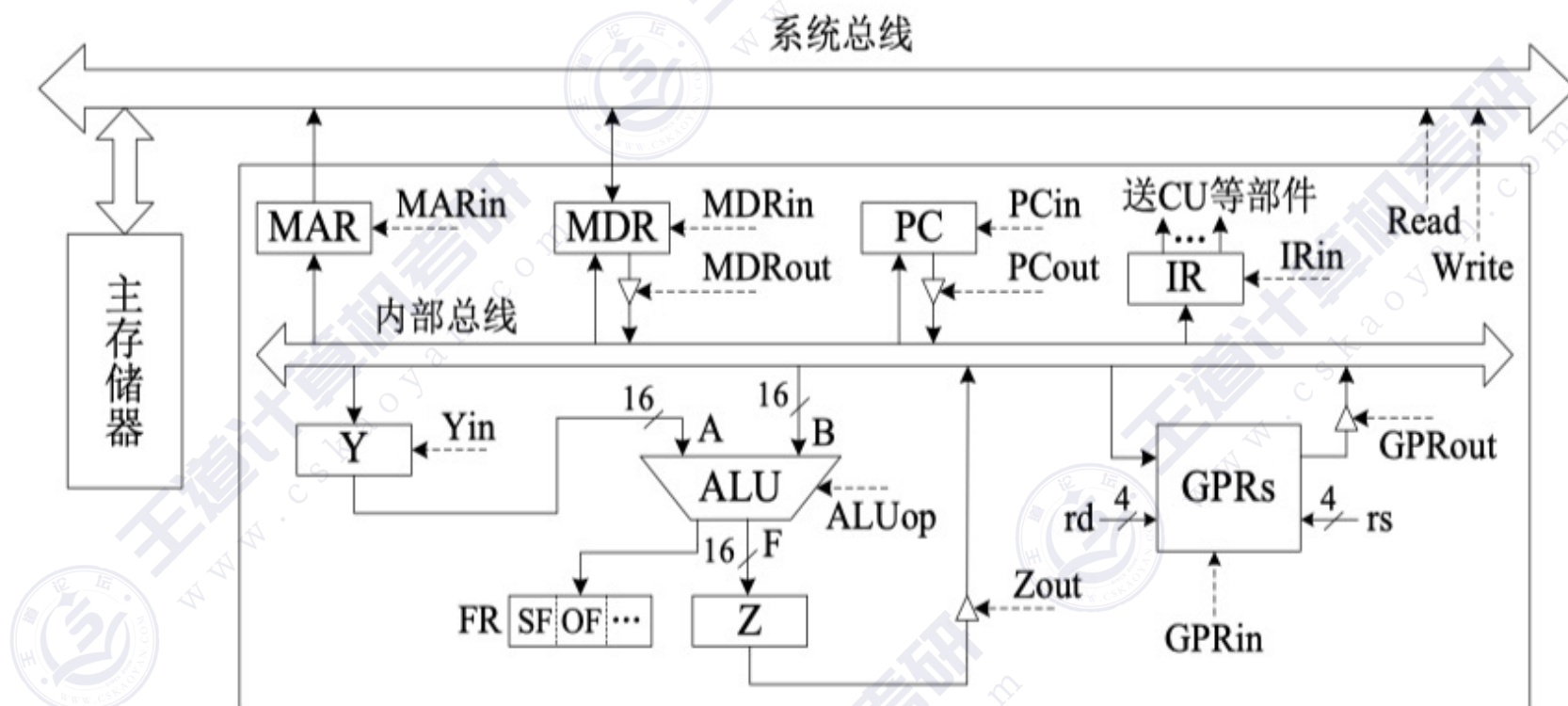


图(b)

- 1) 计算机M最多有多少个通用寄存器？为什么shamt字段占5位？（2分）
- 2) 执行add指令时，控制信号ALUBsrc的取值应是什么？若rs1和rs2寄存器内容分别是8765 4321H和9876 5432H，则add指令执行后，ALU输出端F、OF和CF的结果分别是什么？若该add指令处理的是无符号整数，则应根据哪个标志判断是否溢出？（5分）
- 3) 执行slli指令时，控制信号Ext的取值可以是0也可以是1，为什么？（2分）
- 4) 执行lw指令时，控制信号Ext、ALUctr的取值分别是什么？（2分）
- 5) 若一条指令的机器码是A040 AI03H，则该指令一定是lw指令，为什么？若执行该指令时，R[01H]=FFFF A2D0H，则所读取数据的存储地址是什么？（2分）

2022年真题

43. (15 分) 某 CPU 中部分数据通路如题 43 图所示, 其中, GPRs 为通用寄存器组; FR 为标志寄存器, 用于存放 ALU 产生的标志信息; 带箭头虚线表示控制信号, 如控制信号 Read、Write 分别表示主存读、主存写, MDRin 表示内部总线上数据写入 MDR, MDRout 表示 MDR 的内容送内部总线。

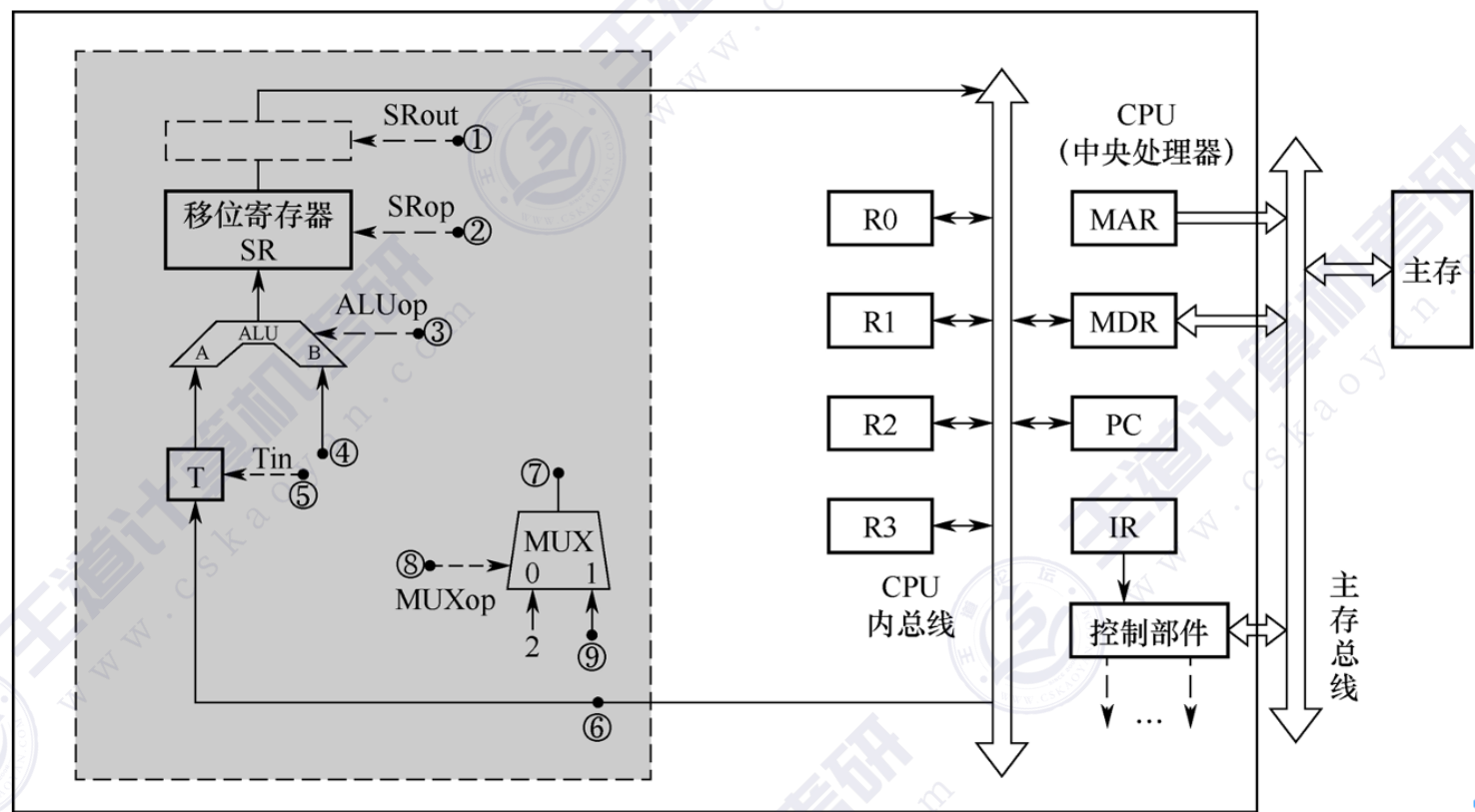


2022年真题

- (1) 设 ALU 的输入端 A、B 及输出端 F 的最高位分别为 A_{15} 、 B_{15} 及 F_{15} ，FR 中的符号标志和溢出标志分别为 SF 和 OF，则 SF 的逻辑表达式是什么？A 加 B、A 减 B 时 OF 的逻辑表达式分别是什么？要求逻辑表达式的输入变量为 A_{15} 、 B_{15} 及 F_{15} 。
- (2) 为什么要设置暂存器 Y 和 Z？
- (3) 若 GPRs 的输入端 rs、rd 分别为所读、写的通用寄存器的编号，则 GPRs 中最多有多少个通用寄存器？rs 和 rd 来自图中的哪个寄存器？已知 GPRs 内部有一个地址译码器和一个多路选择器，rd 应连接地址译码器还是多路选择器？
- (4) 取指令阶段（不考虑 PC 增量操作）的控制信号序列是什么？若从发出主存读命令到主存读出数据并传送到 MDR 共需 5 个时钟周期，则取指令阶段至少需要几个时钟周期？
- (5) 图中控制信号由什么部件产生？图中哪些寄存器的输出信号会连到该部件的输入端？

2015年真题

43. (13分) 某16位计算机的主存按字节编码, 存取单位为16位; 采用16位定长指令字格式; CPU采用单总线结构, 主要部分如下图所示。图中R0~R3为通用寄存器; T为暂存器; SR为移位寄存器, 可实现直送(mov)、左移一位(left)和右移一位(right)3种操作, 控制信号为SRop, SR的输出由信号SRout控制; ALU可实现直送A(mova)、A加B(add)、A减B(sub)、A与B(and)、A或B(or)、非A(not)和A加1(inc)7种操作, 控制信号为ALUop。



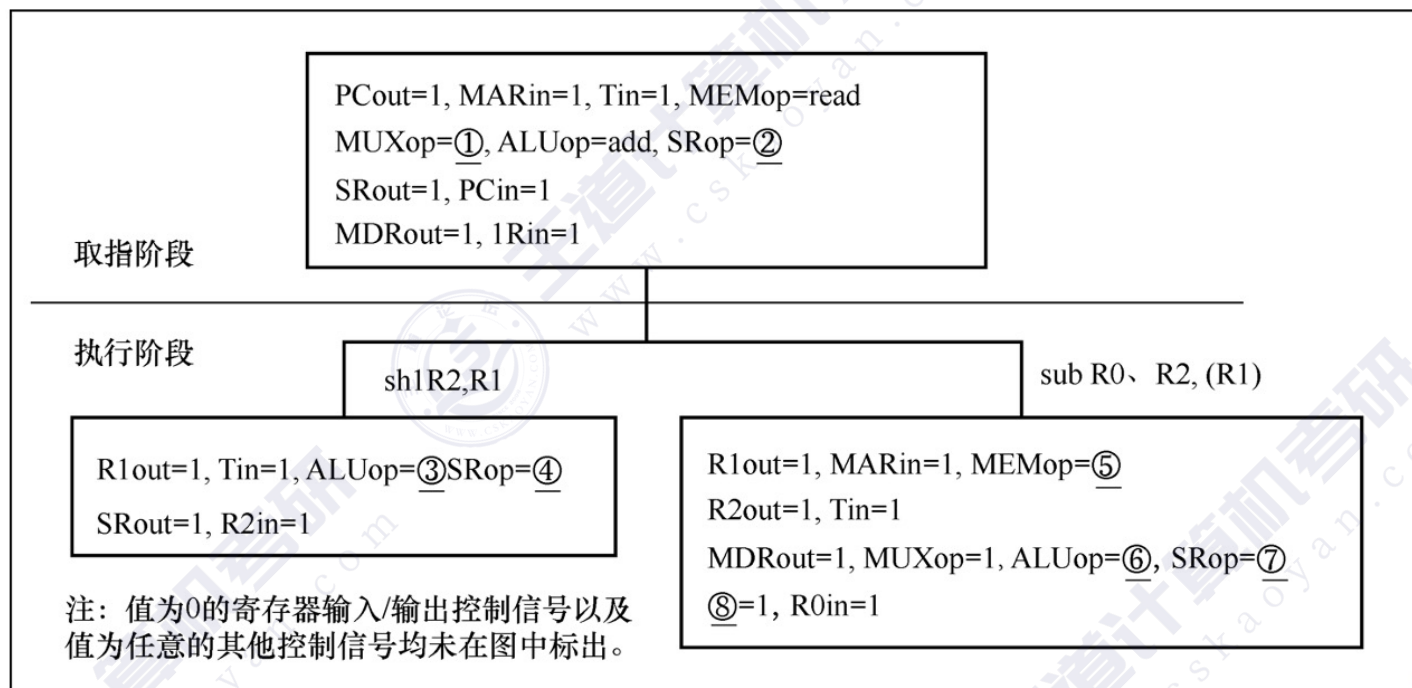
2015年真题

请回答下列问题。↵

- 1) 图中哪些寄存器是程序员可见的? 为何要设置暂存器 T? ↵
- 2) 控制信号 ALUOp 和 SROp 的位数至少各是多少? ↵
- 3) 控制信号 SRout 所控制部件的名称或作用是什么? ↵
- 4) 端点①~⑨中, 哪些端点须连接到控制部件的输出端? ↵
- 5) 为完善单总线数据通路, 需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点, 以正确表示数据的流动方向。↵

2015年真题

44. (10 分) 题 43 中描述的计算机，其部分指令执行过程的控制信号如题 44 图 a 所示。



题 44 图 a 部分指令控制信号

该机指令格式如题 44 图 b 所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为 0 和 1，通用寄存器 R0~R3 的编号分别为 0、1、2 和 3。

2015年真题

该机指令格式如题 44 图 b 所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为 0 和 1，通用寄存器 R0~R3 的编号分别为 0、1、2 和 3。

指令操作码		目的操作数		源操作数1		源操作数2	
OP	Md	Rd	Ms1	Rs1	Ms2	Rs2	

其中：Md、Ms1、Ms2 为寻址方式位，Rd、Rs1、Rs2为寄存器信号。

三地址指令：源操作数1 OP 源操作数2→目的操作数地址

二地址指令（末3位均为0）：OP 源操作数1→目的操作数地址

单地址指令（末6位均为0）：OP 目的操作数→目的操作数地址

题 44 图 b 指令格式

请回答下列问题。

1) 该机的指令系统最多可定义多少条指令？

2015年真题

2) 若 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H，则以下指令对应的机器代码各是什么？

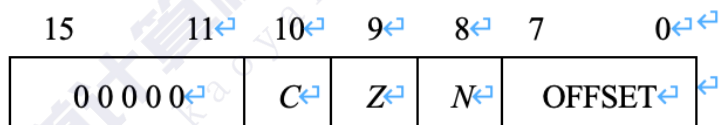
```
inc  R1          ; R1 + 1 → R1
shl  R2, R1       ; (R1) << 1 → R2
sub  R3, (R1), R2 ; ((R1)) - (R2) → R3
```

3) 假设寄存器 X 的输入和输出控制信号分别为 Xin 和 Xout，其值为 1 表示有效，为 0 表示无效（如 PCout = 1 表示 PC 内容送总线）；存储器控制信号为 MEMop，用于控制存储器的读（read）和写（write）操作。写出题图 a 中标号①~⑧处的控制信号或控制信号的取值。

4) 指令“sub R1, R3, (R2)”和“inc R1”的执行阶段至少各需要多少个时钟周期？

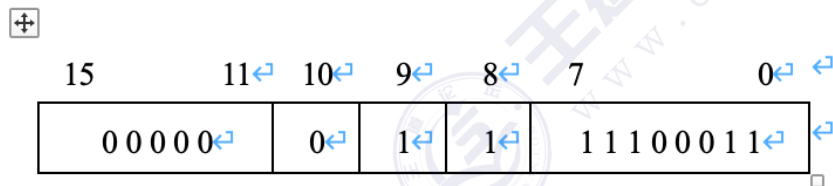
2013年真题

44. (14 分) 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：



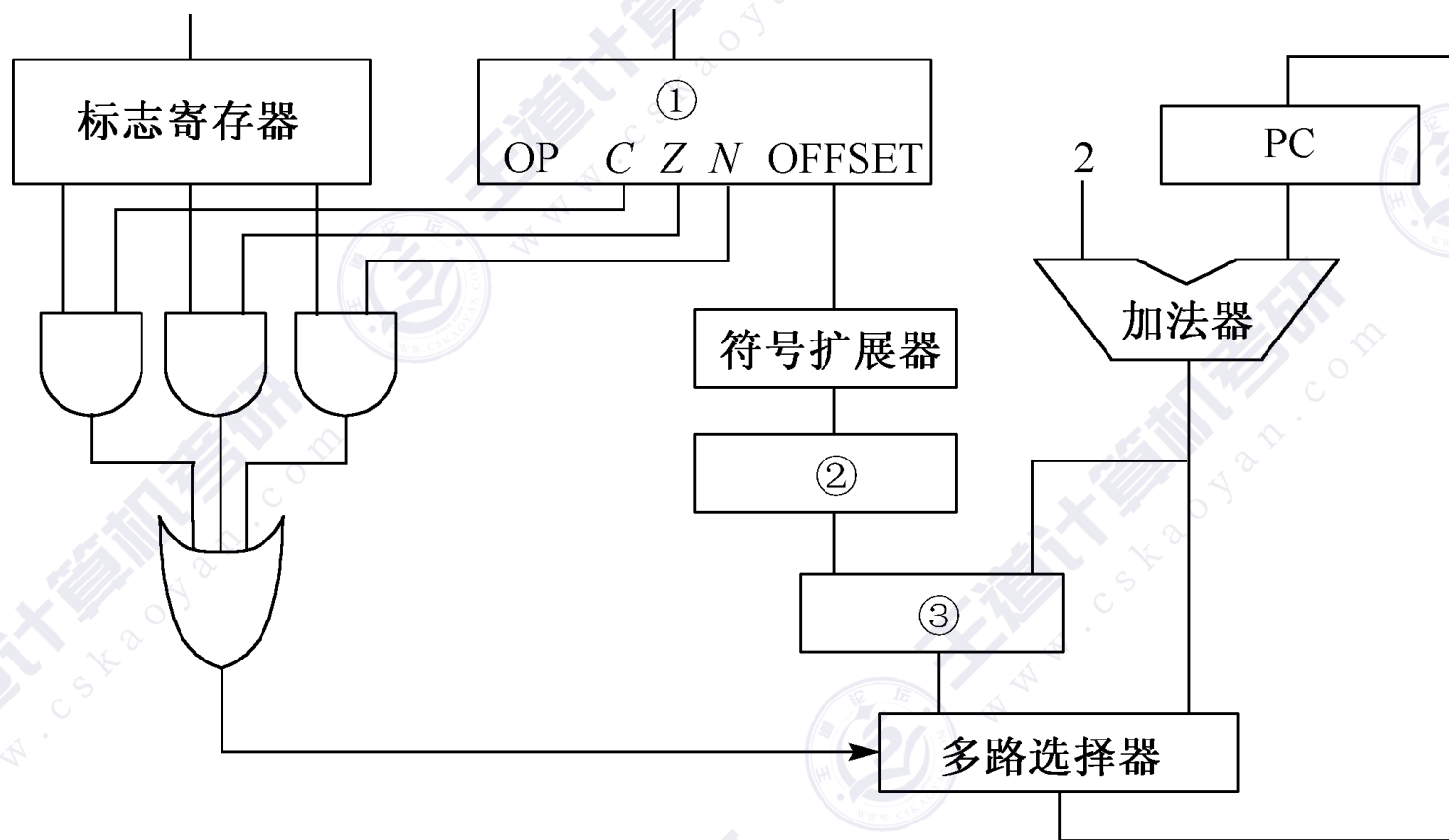
其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志位，需检测的标志位中只要有一个为 1 就转移，否则不转移。例如，若 $C=1$ ， $Z=0$ ， $N=1$ ，则需检测 CF 和 NF 的值，当 $CF=1$ 或 $NF=1$ 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $(PC)+2+2\times\text{OFFSET}$ ；顺序执行时，下条指令地址为 $(PC)+2$ 。请回答下列问题。

- (1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？
- (2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该指令执行时 $CF=0$ ， $ZF=0$ ， $NF=1$ ，则该指令执行后 PC 的值是多少？若该指令执行时 $CF=1$ ， $ZF=0$ ， $NF=0$ ，则该指令执行后 PC 的值又是多少？请给出计算过程。



- (3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？
- (4) 以下是该指令对应的数据通路示意图，要求给出图中部件①～③的名称或功能说明。

2013年真题



扩展（了解一哈）

➤ 条件码:

OF (Overflow Flag) 溢出标志。溢出时为1, 否则置0。

SF (Sign Flag) 符号标志。结果为负时置1, 否则置0。

ZF (Zero Flag) 零标志, 运算结果为0时ZF位置1, 否则置0。

CF (Carry Flag) 进位标志, 进位时置1, 否则置0。

AF (Auxiliary carry Flag) 辅助进位标志, 记录运算时第3位 (半个字节) 产生的进位置。有进位时1, 否则置0。

PF (Parity Flag) 奇偶标志。结果操作数中1的个数为偶数时置1, 否则置0。

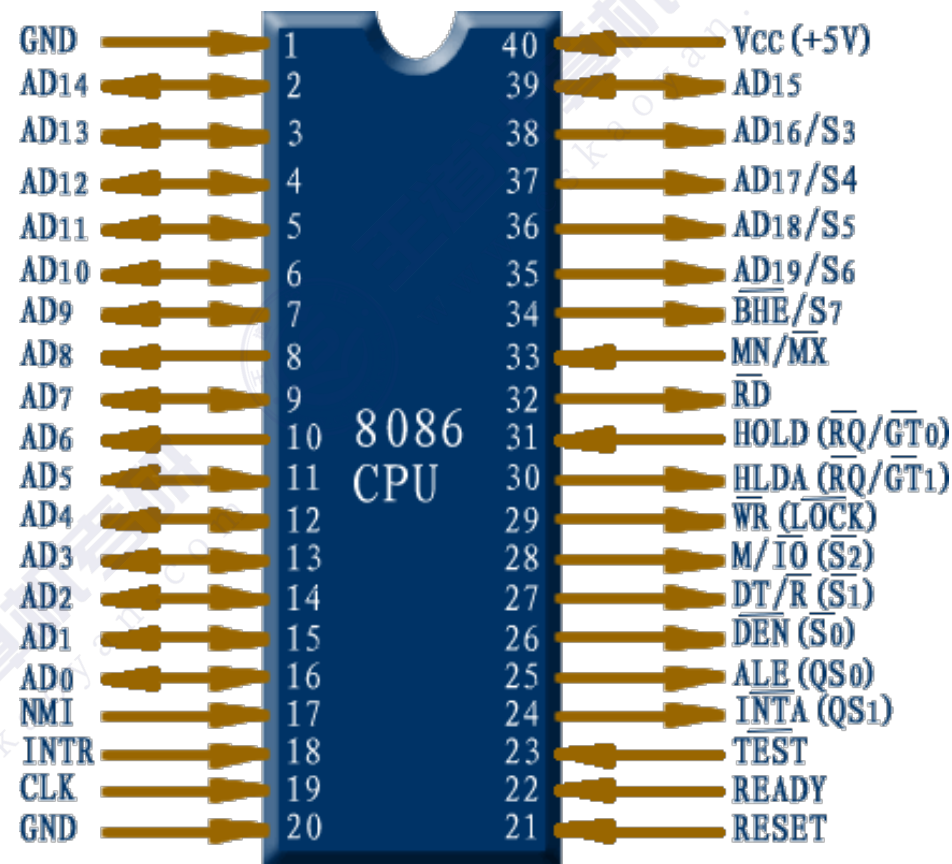
➤ 控制标志位:

DF (Direction Flag) 方向标志, 在串处理指令中控制信息的方向。

IF (Interrupt Flag) 中断标志。

TF (Trap Flag) 陷阱标志。

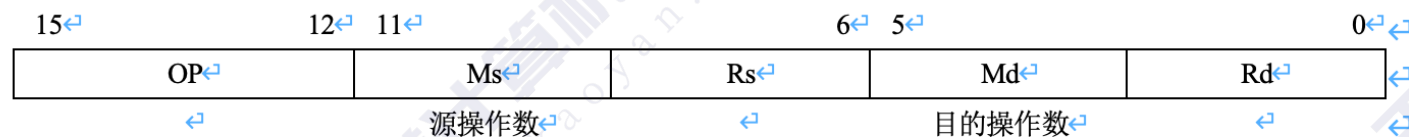
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				OF	DF	IF	TF	SF	ZF		AF		PF		CF



- NMI:不可屏蔽中断请求信号。常用于处理电源掉电紧急情况。
- INTR:可屏蔽中断请求信号。

2010年真题

43. (11 分) 某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如下图所示。



转移指令采用相对寻址方式，相对偏移量用补码表示，寻址方式定义见下表。

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数 = (Rn)
001B	寄存器间接	(Rn)	操作数 = ((Rn))
010B	寄存器间接、自增	(Rn)+	操作数 = ((Rn)), (Rn) + 1 → Rn
011B	相对	D(Rn)	转移目标地址 = (PC) + (Rn)

注：(X)表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题：

- 1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器（MAR）和存储器数据寄存器（MDR）至少各需要多少位？
- 2) 转移指令的目标地址范围是多少？
- 3) 若操作码 0010B 表示加法操作（助记符为 add），寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，地址 5678H 中的内容为 1234H，则汇编语言为 “add(R4), (R5)+”（逗号前为源操作数，逗号后为目的操作数）对应的机器码是什么（用十六进制表示）？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

2009年真题

44. (13 分) 某计算机字长为 16 位, 采用 16 位定长指令字结构, 部分数据通路结构如下图所示, 图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如, 控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR, MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “ADD (R1), R0” 的功能为 $(R0) + ((R1)) \rightarrow (R1)$, 即将 R0 中的数据与 R1 的内容所指主存单元的数据相加, 并将结果送入 R1 的内容所指主存单元中保存。

下表给出了上述指令取指和译码阶段每个节拍 (时钟周期) 的功能和有效控制信号, 请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC) + 1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

2009年真题

